

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MOS-controlled thyristor with current saturation characteristics

Patent number: FR2723259
 Publication date: 1996-02-02
 Inventor: AJIT JANARDHANAN S
 Applicant: INTERNATIONAL RECTIFIER CORP (US)
 Classification:
 - International: H01L29/745
 - european: H01L29/745B, H01L29/749
 Application number: FR19950007418 19950621
 Priority number(s): US19940265397 19940624

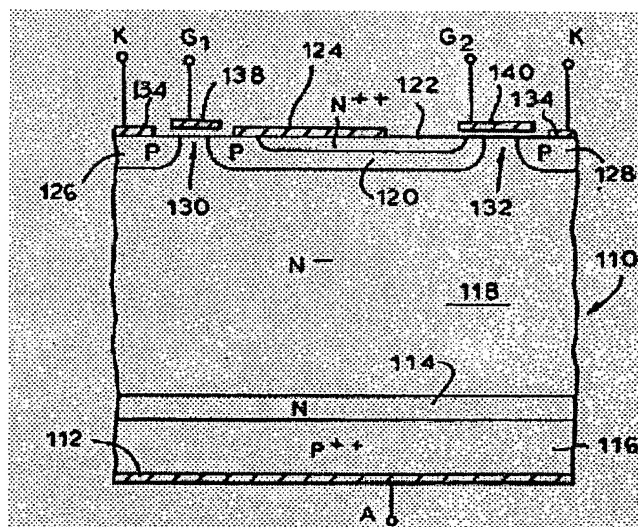
Also published as:

US5498884 (A1)
 JP8051197 (A)
 ITM1951305 (A)
 GB2290659 (A)
 DE19521751 (A1)

Abstract not available for FR2723259

Abstract of correspondent: US5498884

A MOS-controlled thyristor which has current saturation characteristics and does not have any parasitic thyristor structure. In some embodiments, the device has two gate drives and is a four terminal device. In other embodiments, the device requires only a single gate drive and is a three terminal device. The device can be constructed in a cellular geometry. In all embodiments, the device has superior turn-off characteristics and a wider Safe-Operating-Area because the N++ emitter/P base junction is reverse biased during turn-off.



Data supplied from the esp@cenet database - Worldwide

① RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

⑪ N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 723 259

⑫ N° d'enregistrement national :

95 07418

⑬ Int Cl⁸ : H 01 L 29/745

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 21.06.95.

⑯ Priorité : 24.06.94 US 265397.

⑰ Date de la mise à disposition du public de la
demande : 02.02.96 Bulletin 96/05.

⑱ Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

⑲ Références à d'autres documents nationaux
apparentés : DIVISION DEMANDEE LE 20/12/94
BENEFICIAIRE DE LA DATE DE DÉPÔT DU
29/07/94 DE LA DEMANDE INITIALE N° 94 09442
(ARTICLE L.612-4) DU CODE DE LA PROPRIÉTÉ
INTELLECTUELLE

⑴ Demandeur(s) : INTERNATIONAL RECTIFIER
CORPORATION — US.

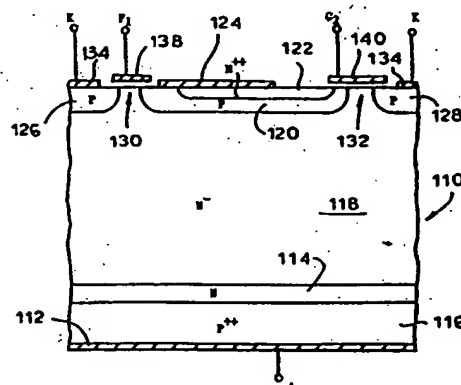
⑵ Inventeur(s) : AJIT JANARDHANAN S.

⑶ Titulaire(s) :

⑷ Mandataire : CABINET FEDIT LORIOT.

⑸ THYRISTOR A COMMANDE PAR MOS AYANT DES CARACTÉRISTIQUES DE SATURATION DE COURANT.

⑹ Thyristor à commande par MOS qui possède une caractéristique de saturation de courant et qui n'a pas de structure de thyristor parasite. Dans certaines réalisations, le dispositif comporte deux commandes de grilles et il est un dispositif à quatre bornes. Dans d'autres réalisations, le dispositif nécessite une seule commande de grille et il est un dispositif à trois bornes. Le dispositif peut être construit en une géométrie cellulaire. Dans tous les modes de réalisation, le dispositif possède une meilleure caractéristique de coupure et une plus large zone de fonctionnement en sécurité puisque la jonction émetteur N⁺/base P est polarisée en sens inverse pendant la coupure.



FR 2 723 259 - A1



THYRISTOR A COMMANDE PAR MOS AYANT DES CARACTERISTIQUES
DE SATURATION DE COURANT

La présente invention concerne un thyristor
5 à commande par MOS et plus particulièrement un thyristor
à commande par MOS ayant des caractéristiques de satu-
ration de courant et sans structure de thyristor parasite.

Des structures de semiconducteurs de puissance
qui combinent des mécanismes de conduction bipolaires
10 à une commande par MOS sont bien connues. Le transistor
bipolaire à grille isolée (IGBT) est un exemple d'un tel
dispositif dans lequel le courant de base d'une structure
bipolaire est commandé par l'intermédiaire d'un transis-
tor à effet de champ métal-oxyde MOSFET intégré. Le
15 transistor IGBT convient mieux pour des applications élec-
troniques de puissance à haute tension, avec des tensions
de blocage dans la plage de 600 volts. Les IGBT capables
de traiter des tensions plus élevées ont une chute de ten-
sion à l'état conducteur plus grande, ce qui est un incon-
20 vénient. Puisqu'on peut obtenir une chute de tension à
l'état conducteur plus faible par transport du courant
à l'état conducteur par l'intermédiaire d'une structure
de thyristor, les thyristors à commande par MOS ont re-
çu beaucoup d'intérêt pour des applications de courant
25 élevé à haute tension.

On connaît deux types de thyristors à déclenche-
ment par MOS, à savoir le thyristor à commande par MOS
(MCT) et le thyristor à commutation d'émetteur (EST). Dans
le MCT, comme décrit dans un article de V.A.K. Temple,
30 IEEE International Electron Device Meeting, (IEDM)
Technical Digest, San Francisco (Décembre 1984) pages
282-285, on décrit un court-circuit de cathode à commuta-
tion par l'intermédiaire d'une porte MOS. Toutefois, le
développement commercial du MCT a été limité à cause des
35 exigences complexes de fabrication et des problèmes de fi-

lamentation de courant pendant la coupure, et du fait que le MCT ne possède pas de caractéristiques desaturation de courant.

Comme représenté sur la figure 1, le EST consiste essentiellement en un MOSFET en série avec un thyristor et il est appelé "à commutation d'émetteur". Le EST se prête à une fabrication plus facile que celle du MCT. Bien que le EST possède des caractéristiques de saturation de courant, il est toutefois limité par un thyristor parasite inhérent, illustré sur la figure 1, qui court-circuite le MOSFET à canal n commandé par une grille. Par conséquent, il existe un besoin pour un EST qui possède des caractéristiques de saturation de courant mais qui n'est pas limité par une structure de thyristor parasite à l'intérieur du dispositif.

La présente invention évite les inconvénients de l'art antérieur et atteint l'objectif ci-dessus par création d'un thyristor à commande MOS qui comprend, dans un premier mode de réalisation, une tranche de matière semiconductrice ayant une première et une deuxième surfaces espacées parallèles planes. Une couche de type N relativement légèrement dopée s'étend à partir de la première surface du semiconducteur, tandis qu'une couche de type P s'étend à partir de la deuxième surface du semiconducteur.

Une base de type P est engendrée dans la couche de type N relativement légèrement dopée et elle s'étend à partir de la première surface du semiconducteur jusqu'à une première profondeur au-dessous de la première surface du semiconducteur. Une région d'émetteur de type N formée dans la base de type P s'étend à partir de la première surface du semiconducteur jusqu'à une deuxième profondeur, au-dessous de la surface du semiconducteur, qui est plus faible que la première profondeur afin de créer une jonction émetteur de type N/base de type P, la

région d'émetteur de type N étant radialement espacée vers l'intérieur le long de la première surface du semiconducteur, le long des bords de la base de type P, de sorte que les bords de la base de type P s'étendent jusqu'à la première surface du semiconducteur définissant ainsi une première région de canal le long d'un premier des bords. Une connexion en métal est disposée sur la première surface du semiconducteur et elle relie la région d'émetteur à la base de type P, le long d'un deuxième des bords.

Une première et une deuxième régions de type P sont formées dans la couche de type N relativement légèrement dopée et elles s'étendent à partir de la première surface de la tranche semiconductrice. Les première et deuxième régions de type P sont latéralement espacées des deuxième et premier bords de la base de type P, respectivement, de sorte que la couche de type N relativement légèrement dopée qui s'étend jusqu'à la première surface du semiconducteur à travers ces régions forme une deuxième et une troisième régions de canal.

Une première couche d'isolation de grille est disposée sur la première surface du semiconducteur et elle s'étend sur au moins la deuxième région de canal. Une première électrode de grille est disposée sur la première couche d'isolation de grille et elle recouvre la deuxième région de canal.

Une deuxième couche d'isolation de grille est disposée sur la première surface du semiconducteur et elle s'étend sur au moins les première et troisième régions de canal. Une deuxième électrode de grille est disposée sur la deuxième couche d'isolation de grille et elle recouvre les première et troisième régions de canal.

Une électrode anodique est connectée à la couche de type P disposée sur la deuxième surface du semiconducteur. Une électrode cathodique est connectée aux

première et deuxième régions de type P sur la première surface du semiconducteur.

Le thyristor à commande MOS conforme à la présente invention comprend de préférence en outre une
5 couche de type N disposée entre la couche de type P et la couche de type N relativement légèrement dopée. La couche de type P et l'émetteur de type N sont de préférence relativement fortement dopés.

Dans le thyristor à commande MOS du premier
10 mode de réalisation décrit ci-dessus, l'émetteur de type N a une longueur latérale qui crée une chute de tension, dans la base de type P, suffisante pour polariser en sens direct la jonction émetteur de type N/base de type P lorsque le thyristor est dans un état conducteur, ce
15 qui est nécessaire pour l'accrochage du thyristor. Par conséquent, la base de type P doit être prévue relativement longue, avec un dopage léger. Un autre mode de réalisation supprime cette exigence.

Dans l'autre mode de réalisation, les première
20 et deuxième régions de type P sont mutuellement adjacentes et latéralement espacées l'une de l'autre, et seule la deuxième région de type P est adjacente à la région de base de type P et latéralement espacée de cette dernière. Une troisième région de type P est adjacente à la
25 région de base de type P et latéralement espacée de cette dernière. Dans ce mode de réalisation, la liaison en métal connecte l'émetteur de type N à la deuxième région de base de type P. Une première grille isolée est superposée à la région de canal dans la couche de type N
30 entre les première et deuxième régions de type P, et une deuxième grille isolée est superposée à la région de canal dans la couche de type N entre la deuxième région de type P et la base de type P. La deuxième grille isolée recouvre également la région de canal formée au bord
35 de la base de type P, entre l'émetteur de type N et la

couche de type N relativement légèrement dopée. Une troisième grille isolée est superposée à la région de canal dans la couche de type N entre la base de type P et la troisième région de type P. La troisième grille isolée est également superposée à la région de canal formée au deuxième bord de la base de type P entre l'émetteur de type N et la couche de type N relativement légèrement dopée. La troisième grille isolée est électriquement connectée à la deuxième grille isolée ou, en option, la deuxième grille isolée peut être laissée flottante ou être absente. Les première et troisième régions de type P sont en contact avec le métal de cathode sur la première surface du semiconducteur. Une électrode d'anode est connectée à la couche de type P disposée sur la deuxième surface du semiconducteur.

Comme dans le premier mode de réalisation, une couche de type N est de préférence disposée entre la couche de type P et la couche de type N relativement légèrement dopée.

Les première, deuxième et troisième régions de type P et la base de type P sont de préférence relativement fortement dopées, et la couche de type P et ledit émetteur de type N sont de préférence très fortement dopés. En option, on peut prévoir une région de type P relativement légèrement dopée dans la région de canal entre les première et deuxième régions de type P, pour former un MOSFET à canal P à appauvrissement. Egalement en option, on peut supprimer la troisième région de type P.

Les premier et deuxième modes de réalisation de l'invention, décrits ci-dessus, nécessitent chacun deux grilles et sont donc des dispositifs à quatre bornes. Dans un troisième mode de réalisation de l'invention, une seule grille est nécessaire.

Dans le troisième mode de réalisation, un puits

- de type P est formé dans la couche de type N relativement légèrement dopée et il s'étend à une première profondeur au-dessous de la surface supérieure de la tranche. Un puits de type N est formé dans le puits de type P, le puits de type N étant radialement espacé vers l'intérieur, le long de la surface supérieure de la tranche, par rapport à un bord du puits de type P, définissant ainsi une première région de canal disposée dans le puits de type P. Une base de type P est formée dans le puits de type N, la base de type P étant radialement espacée vers l'intérieur, le long de la surface supérieure de la tranche, par rapport à un bord du puits de type N, définissant ainsi une deuxième région de canal disposée dans le puits de type N. Finalement, une région de source de type N est formée dans la base de type P, la région de source de type N étant radialement espacée vers l'intérieur, le long de la surface supérieure de la tranche, par rapport à un bord de la base de type P, définissant ainsi une troisième région de canal disposée dans la base de type P.
- Une région de type P est formée dans la couche de type N relativement légèrement dopée, la région de type P étant latéralement espacée du bord du puits de type P pour définir une quatrième région de canal qui est disposée dans la couche de type N relativement légèrement dopée, entre la région de type P et le puits de type P.
- Une grille isolée est disposée sur la surface supérieure de la tranche et elle est superposée aux première, deuxième, troisième et quatrième régions de canal.
- Une électrode d'anode est connectée à la couche de type P disposée sur la surface inférieure de la tranche, tandis qu'une électrode de cathode est connectée à la base de type P, à la source de type N et à la région de type P sur la surface supérieure de la tranche.
- Comme dans les premier et deuxième modes de

réalisation, une couche de type N est de préférence disposée entre la couche de type P et la couche de type N relativement légèrement dopée. La couche de type P et la source de type N sont de préférence très fortement dopées. Le dispositif du troisième mode de réalisation est de préférence prévu en une géométrie cellulaire dans laquelle le puits de type P et la première région de type P constituent chacun des cellules, les cellules étant de préférence polygonales et disposées côte à côte en un agencement symétrique et ayant une forme polygonale avec une grille d'électrode placée au-dessus. En option, on peut supprimer la région de type P et la quatrième région de canal associée.

Dans le quatrième mode de réalisation, le dispositif est constitué d'un ensemble de groupes de cellules. Dans ce mode de réalisation, un puits de type P est formé dans la couche de type N et il s'étend à une première profondeur au-dessous de la surface supérieure de la tranche. Un puits de type N est formé dans une portion à l'intérieur du puits de type P, le puits de type N étant radialement espacé vers l'intérieur, le long de la surface supérieure de la tranche, par rapport à un bord du puits de type P, définissant ainsi une première région de canal disposée dans le puits de type P. Une base de type P est formée dans une portion à l'intérieur du puits de type N, la base de type P étant radialement espacée vers l'intérieur le long de la surface supérieure de la tranche, par rapport à un bord du puits de type N, définissant ainsi une deuxième région de canal disposée dans le puits de type N. Une région de source de type N est formée dans la base de type P, la région de source de type N étant radialement espacée vers l'intérieur, le long de la surface supérieure de la tranche, par rapport à un bord de la base de type P, définissant ainsi une troisième région de canal disposée dans la base de type P.

5 Finalement, une région d'émetteur de type N est formée dans une portion à l'intérieur du puits de type P, la région d'émetteur de type N étant radialement espacée vers l'intérieur, le long de la surface supérieure de la tranche, par rapport à un bord de la base de type P, définissant ainsi une quatrième région de canal disposée dans le puits de type P.

10 Une région de type P est formée dans la couche de type N, la région de type P étant latéralement espacée du bord du puits de type P pour définir une cinquième région de canal qui est disposée dans la couche de type N entre la région de type P et le puits de type P. Une grille isolée est disposée sur la surface supérieure de la tranche et elle est superposée aux première, deuxième, 15 troisième, quatrième et cinquième régions de canal. Une électrode d'anode est connectée à la couche de type P disposée sur la surface inférieure de la tranche, tandis qu'une électrode de cathode est connectée à la base de type P, à la source de type N et à la région de type P 20 sur la surface supérieure de la tranche.

25 Comme dans les premier et deuxième modes de réalisation, une couche de type N est de préférence disposée entre la couche de type P et la couche de type N. La couche de type P ainsi que la source et l'émetteur de type N sont de préférence très fortement dopés.

30 Le quatrième mode de réalisation de l'invention est de préférence sous la forme d'un ensemble de cellules dans lequel le puits de type P, le puits de type N, la base de type P et la source de type N constituent une première cellule, l'émetteur de type N disposé à l'intérieur du puits de type P constitue une deuxième cellule et la région de type P constitue une troisième cellule, les cellules étant disposées côte à côte en un agencement symétrique et ayant une forme polygonale.

35 Avantagusement, tous les modes de réalisation

de la présente invention possèdent des caractéristiques de saturation de courant sans structure de thyristor parasite. La présente invention procure une meilleure coupure et une plus large zone de fonctionnement en sécurité, 5 puisque tous les modes de réalisation ont la jonction émetteur/base polarisée en sens inverse pendant la coupure. En outre, les configurations de jonction sont faciles à fabriquer.

D'autres aspects et avantages de la présente invention apparaîtront à la lecture de la description 10 ci-après de l'invention, avec référence aux dessins annexés dans lesquels :

la figure 1 est une coupe d'un thyristor à commutation d'émetteur (EST) typique de l'art antérieur;

15 la figure 2 est une coupe d'un premier mode de réalisation de la présente invention ;

la figure 3 est une coupe d'un deuxième mode de réalisation de la présente invention ;

la figure 4 est une coupe d'une variante du 20 mode de réalisation de la figure 3, sans troisième région de type P et sans troisième grille associée ;

la figure 5 est une coupe d'une variante du mode de réalisation de la figure 3, utilisant un MOSFET à canal p à appauvrissement ;

25 la figure 6 est une coupe d'une variante du mode de réalisation de la figure 4, utilisant un MOSFET à canal p à appauvrissement ;

la figure 7 est une coupe d'un troisième mode de réalisation de l'invention qui nécessite seulement 30 une commande de grille ;

les figures 8A et 8B sont des vues de dessus de deux agencements solidaires différents possibles du dispositif de la figure 7 ; et

les figures 9A sont des coupes des trois éléments ou cellules qui forment, lorsqu'ils sont combinés 35

10

de façon groupée, un quatrième mode de réalisation de l'invention; la figure 9B est une vue de dessus d'un groupe de cellules; la figure 9C est une coupe suivant la ligne 1-1 de la figure 9B; la figure 9D est une
 5 coupe suivant la ligne 2-2 de la figure 9B.

La figure 2 représente un premier mode de réalisation du thyristor à commande par MOS conforme à la présente invention. Le dispositif à commande par MOS 110 est un dispositif conducteur vertical.

10 Une couche 114 de type N et une région 116 très fortement dopée de type P^{++} sont disposées sur la face inférieure d'une couche 118 de type N^- . Pour des applications à plus basse tension ($<1200V$), la couche N^- 118 est de préférence engendrée épitaxialement sur un sub-
 15 strat N epi/ P^{++} . Pour des applications à plus haute tension ($>1200V$), la couche N^- 118 est de préférence la matière de substrat de départ, et la couche N 114 et la région P^{++} 116 sont des diffusions de face arrière.

Une électrode d'anode 112 sur la surface inférieure du dispositif recouvre la région P^{++} 116. L'élec-
 20 trode d'anode 116 est reliée à une borne d'anode A.

Les épaisseurs et les concentrations des couches dépendent de la tension de blocage du dispositif. Pour un dispositif de 2500V, la densité de dopage et l'é-
 25 paisseur de la région de mobilité N^- sont de l'ordre de $2 \times 10^{13} \text{ cm}^{-3}$ et de 500 μm , respectivement. La densité de dopage de la région P^{++} 116 est de préférence supérieure à $5 \times 10^{19} \text{ cm}^{-3}$, avec une épaisseur supérieure à 1 μm . La densité de dopage de la couche N 114 est de pré-
 30 férence de $5 \times 10^{17} \text{ cm}^{-3}$ environ, avec une épaisseur de 7 μm environ.

Une base 120 de type P est disposée dans la couche N^- 118 et elle forme également la source du MOSFET à canal p du dispositif, comme décrit plus loin en détail.

35 Une région d'émetteur 122 de type N^{++} est disposée à l'in-

térieur de la base P 120 et elle est électriquement mise en court-circuit avec cette dernière par une barrette métallique flottante 124 (non connectée à une électrode quelconque du dispositif) sur la surface supérieure du
5 dispositif.

La base P 120 est entourée par des régions P 126, 128 mais elle est séparée de ces dernières par des régions relativement petites de la couche N^- 118 qui s'étendent jusqu'à la surface de la tranche pour former des
10 régions de canal respectives 130, 132.

Une électrode de cathode 134, reliée à une borne de cathode K, vient en contact ohmique avec les régions P 126 et 128. Une première grille isolée 138, reliée à une borne de grille G_1 , recouvre la région de canal 130. Une deuxième grille isolée 140, reliée à une borne de grille G_2 , recouvre la région de canal 132 et, en outre, elle recouvre la portion de la base P 120 située entre la région d'émetteur N^{++} 122 et la région de canal 132, à la surface supérieure de la tranche. Les grilles
15 138, 140 sont de préférence constituées de polysilicium et elles sont isolées de la surface supérieure du dispositif par une couche d'oxyde (non représentée sur la figure 2).

Le fonctionnement du dispositif 110 représenté
25 sur la figure 2 est le suivant. A l'état actif (avec l'anode 112 à un potentiel positif par rapport à la cathode 134), la tension appliquée à la grille 138 doit être suffisamment négative par rapport à la cathode 134 pour rendre conducteur le MOSFET à canal p sous la grille 138, et
30 la tension appliquée à la grille 140 doit être suffisamment positive pour rendre conducteur le MOSFET à canal n (dans la base P 120) sous la grille 140. Cela fait passer le thyristor 110 à l'état conducteur par création d'un chemin de conduction allant de l'anode à la cathode (vers
35 le haut sur la figure 2) à travers la région P^{++} 116, la

couche N 114, la couche N⁻ 118, le canal n dans la base P 120 à la surface de la tranche (créé par la grille 140), l'émetteur N⁺⁺ 122, la barrette métallique 124 jusqu'à la base P 120, le canal p (créé par la grille 138) dans la
 5 région de canal 130, et la région P 126, jusqu'à la cathode 134.

La longueur latérale de l'émetteur N⁺⁺ 133 est prévue pour créer une chute de tension suffisante pour qu'une partie de la jonction émetteur N⁺⁺/base P devienne
 10 polarisée en sens direct dans l'état actif, afin de mettre en conduction le thyristor formé par les régions 122, 120, 118, 114 et 116, de sorte que le courant principal du thyristor contourne le canal n sous la grille 140 et, au contraire, il circule directement vers le haut à tra-
 15 vers le dispositif à partir de la région P⁺⁺ 116, en passant par les couches 114, 118 et 120 jusqu'à l'émetteur N⁺⁺ 122, puis par la barrette de métal flottante 124 jusqu'à 120, puis par le MOSFET à canal p sous la grille 138, puis par la région P 126, jusqu'à la cathode 134.

20 Puisque le MOSFET à canal p sous la grille 138 est en série avec le thyristor (116-114-118-120-122), le courant à travers le dispositif est limité par le courant de saturation du MOSFET à canal p sous la grille 138. Ainsi, le dispositif possède des caractéristiques de saturation de courant. Le courant de saturation dépend de la
 25 tension appliquée à la grille 138.

Pour couper le dispositif, on applique un potentiel nul ou positif, par rapport à la cathode, à la grille 138 (pour couper le MOSFET sous la grille 138) et
 30 on applique un potentiel suffisamment négatif, par rapport à la cathode 134, à la grille 140 (pour couper le MOSFET à canal n sous la grille 140 et mettre en conduction le MOSFET à canal p sous la grille 140), ce qui couple la base P 120 à la région P 128 qui est elle-même
 35 électriquement connectée à la cathode. Ces potentiels

respectifs sur les grilles 138,140 sont maintenus dans l'état de blocage en sens direct (anode à un potentiel positif par rapport à la cathode). Le potentiel négatif sur la grille 140 a pour résultat une tension de claquage élevée pour le dispositif, puisque cela maintient la base P 120 du thyristor à un potentiel plus bas que celui de l'émetteur N^{++} 122.

Il faut noter que, pendant la situation de blocage en sens direct, la jonction émetteur N^{++} /base P est polarisée en sens inverse. La présente invention procure des caractéristiques supérieures de claquage et de coupure ainsi qu'une plus large zone de fonctionnement de sécurité, puisque son fonctionnement est similaire au cas de la coupure par ouverture d'émetteur. A ce sujet, on peut se reporter, par exemple, à B. Jackson et D. Chen, "Effects of emitter-open switching on the turn-off characteristics of high voltage power transistors", Power Electronics Specialist Conference, Juin 1980.

La chute de tension à l'état actif du thyristor à commande MOS à haute tension de la présente invention est la somme de la chute de tension à travers le thyristor à haute tension (112-116-114-118-120-122) et de la chute de tension à travers le MOSFET à canal p à basse tension (120-130-126-134) sous la grille 138. La chute de tension à travers le thyristor à haute tension n'augmente pas beaucoup lorsque le dispositif est conçu pour supporter une tension de claquage plus élevée. Au contraire, dans un IGBT, la chute de tension à l'état actif augmente lorsque l'IGBT est conçu pour des tensions de claquage plus élevées. Cela résulte de ce que, dans l'IGBT, seule la partie inférieure de la région de déplacement est modulée en conductivité tandis que, dans un thyristor, toute la région de déplacement ou de mobilité est modulée en conductivité. Ainsi, avantageusement, le thyristor à commande par MOS de la présente invention

possède une chute de tension en sens direct plus faible que celle d'un IGBT pour le même courant, pour des dispositifs de tension de claquage plus élevée (>1200 V).

De plus, avantageusement, la présente invention ne nécessite pas de protection de court-circuit, grâce à ses caractéristiques de saturation de courant à l'état actif, décrites plus haut. Cela est un avantage majeur, par rapport à un MCT. Egalement, avantageusement, la présente invention ne comporte pas de structure de thyristor parasite qui dégrade les performances. Cela est un avantage majeur par rapport au dispositif EST de l'art antérieur.

Finalement, la présente invention possède avantageusement des pertes en non conduction plus faibles que celles d'un MCT. Comme déjà indiqué, dans le dispositif de la présente invention, la base P est connectée à un potentiel de terre par l'intermédiaire du MOSFET à canal p latéral, avec polarisation inverse de la jonction émetteur N^{++} /base P. Cela rend inactif le transistor NPN par création d'une excitation de base inverse, conduisant à une disruption de l'action de thyristor plus rapide comparativement à un MCT, et donc une diminution plus rapide du courant. Le temps de coupure du dispositif de la présente invention est donc proche de celui d'un IGBT (qui a sensiblement un temps de coupure d'un transistor PNP à base ouverte).

Le mode de réalisation de la présente invention, décrit ci-dessus et représenté sur la figure 2, repose sur la chute de tension latérale le long de la base P 120 pour polariser en sens direct le transistor NPN afin d'accrocher ou enclencher le thyristor. Par conséquent, la base P 120 doit être prévue relativement longue, avec un dopage léger. Un autre mode de réalisation représenté sur la figure 3, supprime cette exigence.

Comme sur la figure 2, le thyristor 210 à commande par MOS de la figure 3 est un dispositif de conduc-

tion vertical comprenant une couche N 214 et une région P^{++} très fortement dopée 216 disposées sur la face inférieure d'une couche N^- 218. Une anode 212, appliquée sur la surface inférieure du dispositif, recouvre la région P^{++}

5 216. Les épaisseurs et les concentrations des couches dépendent de la tension de blocage du dispositif et elles sont les mêmes que pour le dispositif de la figure 2.

A l'intérieur de la couche N^- 218, on trouve :

1) une base P^+ 221 ; 2) une région P^+ 219 qui forme la
10 source du MOSFET à canal p du dispositif, comme décrit plus loin en détail ; et 3) des régions P^+ 226 et 228 qui forment les drains respectifs des MOSFET à canal p du dispositif, comme décrit plus loin en détail.

Une région d'émetteur N^{++} 222 est disposée à
15 l'intérieur de la base P^+ 221 et elle est électriquement mis en court-circuit avec la région P^+ 219 par une barrette métallique flottante 224 (non connectée à une électrode quelconque du dispositif) sur la surface supérieure du dispositif.

20 Les régions P^+ 226 et 219, les régions P^+ 219 et 221 et les régions P^+ 221 et 228 sont séparées par des régions relativement petites de la couche N^- 218 qui s'étendent jusqu'à la surface de la tranche pour former des régions de canal respectives 230, 231, 233.

25 Une électrode de cathode 234 est en contact ohmique avec les régions P^+ 226 et 228. Une première grille isolée 238 recouvre la région de canal 230. Une deuxième grille isolée 240 recouvre la région de canal 233 et, en outre, elle recouvre la portion de la base P^+ 221
30 entre la région d'émetteur N^{++} 222 et la région de canal 233, à la surface supérieure de la tranche. Une troisième grille isolée 241 recouvre la région de canal 231 et, en outre, recouvre la portion de la base P^+ 221 entre la région d'émetteur N^{++} 222 et la région de canal 231, à la
35 surface supérieure de la tranche. Les grilles 238, 240,

241 sont de préférence en polysilicium et elles sont isolées de la surface supérieure du dispositif par une couche d'oxyde (non représentée sur la figure 5). Les grilles 240 et 241 peuvent être reliées l'une à l'autre (connectées électriquement).

Le fonctionnement du dispositif 210 représenté sur la figure 3 est le suivant. Dans l'état actif (avec l'anode 212 à un potentiel positif par rapport à la cathode 234), la tension appliquée à la grille 238 doit être suffisamment négative, par rapport à la cathode 234, pour mettre en conduction le MOSFET à canal p sous la grille 238, et la tension appliquée aux grilles 241 et 240 doit être suffisamment positive pour mettre en conduction les MOSFET à canal n (dans la base P^+ 221) sous les grilles 241 et 240.

Dans cette situation, l'émetteur N^{++} 222 est connecté à un potentiel de terre par la barrette en métal 224 et à travers le PMOS latéral créé par l'inversion de la région de canal 230, et l'excitation de la base pour le transistor PNP vertical formé par les couches 216-214-218-221 est fournie par l'intermédiaire des MOSFET à canal n sous les grilles 240, 241. Lorsque la jonction région P^{++} /région N est polarisée en sens direct de 0,7 volt environ, la région P^{++} 216 commence à injecter des trous, ce qui fournit l'alimentation de la base pour le transistor NPN formé par les couches 222-221-218-214, de sorte que le thyristor formé par les couches 216-214-218-221-222 passe à l'état accroché.

Ainsi, cela enclenche le thyristor 210 à l'état actif par création d'un chemin de conduction allant de l'anode à la cathode (vers le haut sur la figure 3) par l'intermédiaire de la région P^{++} 216, de la couche N 214, de la couche N^- 218, à travers les canaux n de la base P^+ 221 à la surface de la tranche (créés par les grilles 241 et 240), à travers l'émetteur N^{++} 222, par

l'intermédiaire de la barrette métallique 224 jusqu'à la région P^+ 219, à travers le canal p (créé par la grille 238) dans la région de canal 230, et par l'intermédiaire de la région P^+ 226 jusqu'à la cathode 234.

5 Après mise en conduction du thyristor formé par les régions 216, 214, 218, 221 et 222, une majeure partie du courant contourne le canal n sous les grilles 241 et 240 et, au contraire, il circule directement vers le haut à travers le dispositif, à partir de la région P^{++} 216, à
10 travers les régions 214, 218, 221 jusqu'à l'émetteur N^{++} 222, puis par l'intermédiaire de la barrette métallique flottante 224 jusqu'à la région P^+ 219, puis à travers le MOSFET à canal p sous la grille 238 jusqu'à la région P^+ 226, et ensuite jusqu'à la cathode 234. Puisque le
15 MOSFET à canal p sous la grille 238 est en série avec le thyristor (216-214-218-221-222), le courant à travers le dispositif est limité par le courant de saturation du MOSFET à canal p sous la grille 238. Ainsi, le dispositif de la figure 3, comme le dispositif de la figure 2, pos-
20 sède des caractéristiques de saturation de courant. Le courant de saturation dépend de la tension appliquée à la grille 238. Avantagusement, le thyristor peut être mis en non conduction simplement par réduction à zéro des tensions des grilles 238, 240, 241.

25 Pour couper plus rapidement le dispositif, on applique un potentiel nul ou positif, par rapport à la cathode, à la grille 238 (afin de couper le MOSFET sous la grille 238), et on applique un potentiel négatif suf-
30 fisant, par rapport à la cathode 234, aux grilles 240 et 241 (afin de couper les MOSFET à canal n sous les grilles 240 et 241 et de rendre conducteur le MOSFET à canal p sous la grille 238, couplant ainsi la base P^+ 221 à la région P^+ 226 qui est elle-même électriquement connectée à la cathode. Ces potentiels respectifs sur les grilles
35 238, 240 et 241 sont maintenus pour le blocage en sens direct.

(l'anode étant à un potentiel positif par rapport à la cathode). Le potentiel négatif sur la grille 240 produit une tension de claquage élevée pour le dispositif, puisque cela maintient la base P^+ 221 du thyristor à un potentiel plus faible que celui de l'émetteur N^{++} 222.

La figure 4 représente une variante de la structure de la figure 3, par suppression de la région P^+ 228, du métal de cathode associé 234 en contact avec cette région, de la grille 240 et de la région de canal 233. Dans ce mode de réalisation, pendant l'état de coupure et de blocage en sens direct, l'émetteur N^{++} 222 est simplement mis en court-circuit avec la base P^+ 221 par l'intermédiaire de la barrette métallique flottante 224 et de la région de canal p 231 sous la grille 241.

On obtient une autre variante de la structure de la figure 3 par suppression de la grille 241 ou par un flottement électrique de cette dernière.

La figure 5 représente encore une autre variante de la structure de la figure 3, qui utilise un MOSFET à canal p à appauvrissement, créé par formation d'une région P^- 242 entre les régions P^+ 219, 226 à la partie supérieure de la tranche. Dans ce mode de réalisation, la grille 238 peut être établie à 0 volt par rapport à la cathode à l'état actif. A l'état inactif, dans ce mode de réalisation, la grille 238 doit être suffisamment positive, par rapport à la cathode, pour pincer complètement la région P^- .

La figure 6 représente une variante de la structure de la figure 4, qui utilise un MOSFET à canal p à appauvrissement, créé par diffusion d'une région P^- 242 entre les régions P^+ 219, 226 à la surface supérieure de la tranche. Dans ce mode de réalisation, comme dans celui de la figure 5, la grille 238 peut être établie à 0 volt par rapport à la cathode, dans l'état actif. Dans l'état inactif ou non conducteur, la grille 238 doit être suffisam-

ment positive, par rapport à la cathode, pour pincer complètement la région P^- .

Les modes de réalisation de la présente invention, décrits ci-dessus et représentés sur les figures 2 à 6, nécessitent deux grilles séparées et constituent donc un dispositif à quatre bornes. Un autre mode de réalisation de l'invention, représenté sur la figure 7, utilise une commande de grille unique et constitue donc une structure à trois bornes. Comme dans les dispositifs des figures 2 à 6, le thyristor 310 à commande par MOS de la figure 7 est un dispositif de conduction vertical comprenant une couche N 314 et une région P^{++} très fortement dopée 316 disposées sur la face inférieure d'une couche N^- 318. Comme dans les modes de réalisation précédents, une anode 312 sur la surface inférieure du dispositif recouvre la région P^{++} 316.

A l'intérieur de la couche N^- 318 et s'étendant vers le bas à partir de la surface supérieure du dispositif, il est prévu un puits P 320 qui forme la source d'un MOSFET à canal p et la région de canal 328 d'un MOSFET à canal n, comme décrit plus loin en détail. Un puits N 322 est disposé dans le puits P 320 et il forme le drain du MOSFET à canal n et la région de canal 330 du MOSFET à canal p précité et décrit plus loin. Le puits N 322 est espacé radialement vers l'intérieur le long de la première surface du semiconducteur, à partir des bords du puits P 320, définissant ainsi la région de canal 328 d'un MOSFET à canal n dans le puits P.

Une base de type P 324 est disposée dans le puits 322 et elle forme la région de canal 332 d'un MOSFET à canal n, également décrit plus loin. La base P 324 est radialement espacée vers l'intérieur, le long de la première surface du semiconducteur, à partir des bords du puits N 322, définissant ainsi la région de canal 330 d'un MOSFET à canal p dans le puits N. La base P 324 s'é-

tend le long de la surface supérieure de la tranche et elle est en contact avec l'électrode de cathode 334. Une région de source N^{++} 323 est disposée à l'intérieur de la base P 324 et elle est également en contact, le long de sa surface supérieure, avec l'électrode de cathode 334. La source N^{++} 323 est espacée radialement vers l'intérieur le long de la première surface du semiconducteur, à partir des bords de la base P 324, définissant ainsi la région de canal 332 d'un MOSFET à canal n dans la base P.

Une région P 326 s'étend vers le bas à partir de la surface supérieure de la tranche et elle est espacée du puits P 320 par une portion de N^- epi 318 qui s'étend jusqu'à la surface de la tranche pour former une région de canal 336. La région P 326 est électriquement en contact avec l'électrode de cathode 334.

Une grille isolée unique 338 recouvre la région de canal 336 et elle s'étend également latéralement au-dessus des régions de canal 328, 330 et 332. La grille 338 est de préférence en polysilicium et elle est isolée de la surface supérieure du dispositif par une couche d'oxyde (non représentée sur la figure 7).

Le fonctionnement du dispositif 310 représenté sur la figure 7 est le suivant. A l'état actif (avec l'anode 312 à un potentiel positif par rapport à la cathode 334), la tension appliquée à la grille 338 doit être suffisamment positive, par rapport à la cathode, pour inverser les régions de canal 328 et 332 et mettre ainsi en conduction les deux MOSFET à canal n sous la grille, créant un chemin de conduction en sens direct vers la source N^{++} 323 qui est, comme déjà indiqué et comme représenté sur la figure 7, en contact électrique avec la cathode 334. Cela procure l'alimentation de la base pour le transistor PNP (formé par les couches 316-314-318-320) afin d'accrocher le thyristor. Le dispositif fonctionne donc comme

un thyristor (formé par les couches 316-314-318-320-322) en série avec un MOSFET à canal n (formé par 322-332-323) dans l'état actif ou conducteur.

Pour couper le dispositif, la tension sur la grille 338 doit devenir suffisamment négative, par rapport à la cathode 334, pour inverser les régions de canal 330 et 336, ce qui met en conduction les deux MOSFET à canal p sous la grille 338 et connecte les régions diffusées P au potentiel de la cathode (terre). Comme dans les modes de réalisation déjà décrits, le thyristor à commande par MOS de la figure 7 possède des caractéristiques de saturation de courant du fait du MOSFET en série avec le thyristor, et une coupure rapide puisque le courant du thyristor est rapidement évacué à la terre par l'inversion des régions de canal 336 et 330, créant des canaux p qui court-circuitent effectivement le puits P 320 à la cathode 334 (terre).

Le dispositif de la présente invention représenté sur la figure 7 peut être réalisé en un agencement cellulaire, comme représenté dans les vues de dessus des figures 8A et 8B, sur lesquelles la région de puits P à quatre couches de la figure 7 est appelée cellule $N^{++}/P^{+}/N/P$. Dans la disposition de la figure 8A, la tranche comprend deux tiers de cellules $N^{++}/P^{+}/P$ et un tiers de cellules P^{+} . Chaque cellule $N^{++}/P^{+}/N/P$ est adjacente à trois cellules P^{+} . La figure 8B est une vue de dessus d'un autre agencement cellulaire possible pour le dispositif de la figure 7.

Encore un autre mode de réalisation de l'invention, représenté sur les figures 9A, 9B, 9C et 9D, utilise une commande de grille unique et constitue donc une structure à trois bornes. Ce mode de réalisation est formé d'un ensemble de groupes de cellules. La figure 9B représente un groupe unique, chaque groupe étant constitué des trois éléments représentés sur la figure 9A, à savoir

une cellule à commutation d'émetteur (ES), une cellule d'émetteur et de conduction (ET) et une cellule P^+ (P^+). Le groupe unique représenté sur la figure 9B est répété pour former la zone active de la puce. De préférence, on dispose une ou deux lignes de cellules P^+ sur le bord de la zone active de la puce.

Comme dans les dispositifs des figures 2 à 7, le thyristor à commande par MOS 410 des figures 9A, 9B, 9C et 9D est un dispositif de conduction vertical comprenant une couche N 414 et une région P^{++} très fortement dopée 416 disposées sur la face inférieure d'une couche N^- 418. Comme dans les modes de réalisation précédents, une anode 412 sur la surface inférieure du dispositif recouvre la région P^{++} 416.

Comme représenté sur les figures 9C et 9D, un puits P 420 est disposé dans la couche N^- 418 et il s'étend vers le bas à partir de la surface supérieure du dispositif. Le puits P 420 forme la source d'un MOSFET à canal p et la région de canal 428 d'un MOSFET à canal n comme décrit plus loin en détail. Un puits N 422 est disposé dans le puits P 420 et il forme le drain du MOSFET à canal n. Une base P^+ 424 est disposée dans une région du puits N 422 et elle forme la région de canal 432 d'un MOSFET à canal n, également comme décrit plus loin. La base P^+ 424 s'étend le long de la surface supérieure de la tranche et elle est en contact avec l'électrode de cathode 434. La région de source N^{++} 423 est espacée radialement vers l'intérieur le long de la première surface du semiconducteur, à partir des bords de la base P^+ 424, définissant ainsi la région de canal 432 d'un MOSFET à canal n dans la base P^+ . Une région d'émetteur N^{++} 444 est disposée dans le puits P 420 et elle est connectée au puits N 422. La région d'émetteur N^{++} 444 est espacée radialement vers l'intérieur le long de la première surface du semiconducteur, à partir d'au moins un bord du

puits P 420, définissant ainsi la région de canal 428 d'un MOSFET à canal n dans le puits P.

Comme représenté sur la figure 9D, une région P^+ 426 s'étend vers le bas à partir de la surface de la tranche et elle est espacée du puits P 420 par une portion de la couche N^- 418 qui s'étend jusqu'à la surface de la tranche pour former une région de canal 436. La région P^+ 426 est électriquement en contact avec l'électrode de cathode 434.

10 Une structure quadrillée d'une grille isolée unique 438 recouvre la région de canal 436 et recouvre également les régions de canal 428 et 432. La grille 438 est de préférence en polysilicium et elle est isolée de la surface supérieure du dispositif par une
15 couche d'oxyde (non représentée).

Le fonctionnement du dispositif 410 représenté sur les figures 9A, 9B, 9C et 9D est le suivant. A l'état actif (avec l'anode 412 à un potentiel positif par rapport à la cathode 434), la tension appliquée à la
20 grille 438 doit être suffisamment positive, par rapport à la cathode, pour inverser les régions de canal 428 et 432 et rendre ainsi conducteurs les deux MOSFET à canal n sous la grille, créant ainsi un chemin de conduction en sens direct vers la source N^{++} 423 qui est en contact
25 électrique avec la cathode 434, comme déjà indiqué et comme représenté sur la figure 9C. Cela procure la commande de la base pour le transistor PNP (416-414-418-420) afin d'accrocher le thyristor. Le dispositif fonctionne donc comme un thyristor (formé par les couches 416-414-
30 418-420-444) en série avec un MOSFET à canal n (formé par les couches 444-422-432-423) dans l'état conducteur.

Pour couper le dispositif, la tension sur la grille 438 doit devenir suffisamment négative, par rapport à la cathode 434, pour inverser la région de canal
35 436, rendant ainsi conducteur le MOSFET à canal p sous

la grille 438 et connectant les régions du puits P au potentiel de cathode (terre). Comme dans les modes de réalisation déjà décrits, le thyristor à commande par MOS des figures 9A, 9B, 9C et 9D possède des caractéristiques de saturation de courant grâce au MOSFET en série avec le thyristor, et il a une coupure rapide puisque le courant du thyristor est rapidement évacué à la terre par l'inversion de la région de canal 436, créant un canal p qui court-circuite effectivement le puits P 420 à la cathode 434 (terre).

Bien que la présente invention ait été décrite avec référence à ses modes de réalisation particuliers, de nombreuses autres variations et modifications (par exemple l'utilisation de grilles en tranchée au lieu de grilles planes de surface, et une implantation différente des régions de grille et de canal) apparaîtront aux hommes de l'art. Il est donc entendu que la présente invention n'est pas limitée par la présente description particulière mais seulement par les revendications annexées.

REVENDICATIONS

- 5
1. Thyristor à commande par MOS (110) caractérisé en ce qu'il comprend :
- une plaquette de matériau semiconducteur qui présente une première et une deuxième surfaces planes parallèles espacées, au moins une partie de l'épaisseur de la plaquette, qui s'étend à partir de ladite première surface du
- 10 semiconducteur, comportant une couche de type N relativement légèrement dopée (118) pour recevoir des jonctions, au moins une partie de l'épaisseur de ladite plaquette qui s'étend à partir de ladite deuxième surface du semiconducteur comportant une couche de type P relativement fortement dopée (116) ;
- 15 une base de type P (120) formée dans ladite couche de type N relativement légèrement dopée déposée épitaxialement et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une première profondeur au-dessous de ladite première surface du semiconducteur ;
- une région d'émetteur de type N (122) formée dans ladite base de type P
- 20 et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une deuxième profondeur, au-dessous de ladite surface du semiconducteur, qui est plus faible que ladite première profondeur afin de créer une jonction émetteur de type N/base de type P, ladite région d'émetteur de type N étant radialement espacée vers l'intérieur le long de ladite première surface du semiconducteur le
- 25 long des bords de ladite base de type P, de sorte que lesdits bords de ladite base de type P s'étendent jusqu'à ladite première surface du semiconducteur, définissant ainsi une première région de canal le long d'un premier desdits bords, une barrette en métal (124) étant disposée sur ladite première surface du semiconducteur et connectant ladite région d'émetteur à ladite base de type P le
- 30 long d'un deuxième desdits bords ;
- une première et une deuxième régions de type P (126, 128) formées dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface de ladite plaquette, lesdites première et deuxième régions de type P étant latéralement espacées desdits deuxième et premier bords de
- 35 ladite base de type P, respectivement, de manière à former une deuxième et une

troisième régions de canal (130, 132) dans ladite couche épitaxiale de type N relativement légèrement dopée ;

une première couche d'isolation de grille sur ladite première surface du semiconducteur, disposée au moins sur ladite deuxième région de canal ;

5 une première électrode de grille (138) sur ladite première couche d'isolation de grille et recouvrant ladite deuxième région de canal ;

une deuxième couche d'isolation de grille sur ladite première surface du semiconducteur, disposée au moins sur lesdites première et troisième régions de canal ;

10 une deuxième électrode de grille (140) placée sur ladite deuxième couche d'isolation de grille et au-dessus desdites première et troisième régions de canal ;

une électrode d'anode (112) connectée à ladite couche de type P disposée sur ladite deuxième surface semiconductrice ; et

15 une électrode de cathode (134) connectée auxdites première et deuxième régions de type P sur ladite première surface du semiconducteur.

2. Thyristor à commande par MOS (210) caractérisé en ce qu'il comprend :

20 une plaquette de matériau semiconducteur qui présente une première et une deuxième surfaces planes parallèles espacées, au moins une partie de l'épaisseur de la plaquette, qui s'étend à partir de ladite première surface du semiconducteur, comportant une couche de type N relativement légèrement dopée (218) pour recevoir des jonctions, au moins une partie de l'épaisseur de ladite plaquette qui s'étend à partir de ladite deuxième surface du semiconducteur comportant une couche de type P relativement fortement dopée (216) ;

25 une base de type P (221) formée dans ladite couche de type N relativement légèrement dopée déposée épitaxialement et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une première profondeur au-dessous de ladite première surface du semiconducteur ;

30 une région d'émetteur de type N (222) formée dans ladite base de type P et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une deuxième profondeur, au-dessous de ladite surface du semiconducteur, qui est plus faible que ladite première profondeur afin de créer une jonction émetteur de type N/base de type P, ladite région d'émetteur de type N étant radialement espacée vers l'intérieur le long de ladite première surface du semiconducteur le
35 long des bords de ladite base de type P, de sorte que lesdits bords de ladite base

de type P s'étendent jusqu'à ladite première surface du semiconducteur, définissant ainsi une première et une seconde régions de canal le long desdits bords ;

5 une première (226) et une deuxième (219) régions de type P formées dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface de ladite plaquette, lesdites première et deuxième régions de type P étant latéralement espacées l'une de l'autre et de ladite base de type P, de manière à former respectivement une troisième et une quatrième régions de canal (230, 231) dans ladite couche épitaxiale de type N
10 relativement légèrement dopée ;

une barrette en métal (224) étant disposée sur ladite première surface du semiconducteur et connectant ladite région d'émetteur de type N à ladite seconde région de type P ;

15 une troisième région de type P (228) formée dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface de ladite plaquette, ladite troisième région de type P étant latéralement espacée de ladite base de type P de manière à former une cinquième région de canal (233) dans ladite couche de type N ;

20 une première couche d'isolation de grille sur ladite première surface du semiconducteur, disposée au moins sur ladite troisième région de canal ;

une première électrode de grille (238) sur ladite première couche d'isolation de grille et recouvrant ladite troisième région de canal ;

25 une deuxième couche d'isolation de grille sur ladite première surface du semiconducteur, disposée au moins sur lesdites première et quatrième régions de canal ;

une deuxième électrode de grille (241) placée sur ladite deuxième couche d'isolation de grille et au-dessus desdites première et quatrième régions de canal ;

30 une troisième couche d'isolation de grille (240) sur ladite première surface, disposée au moins sur lesdites deuxième et cinquième régions de canal ;

une troisième électrode de grille sur ladite troisième couche d'isolation de grille et au-dessus desdites deuxième et cinquième régions de canal ;

une électrode d'anode (212) connectée à ladite couche de type P disposée sur ladite deuxième surface semiconductrice ; et

une électrode de cathode (234) connectée auxdites première et troisième régions de type P sur ladite première surface du semiconducteur.

3. Thyristor à commande par MOS (210) caractérisé en ce qu'il comprend :

une plaquette de matériau semiconducteur qui présente une première et
5 une deuxième surfaces planes parallèles espacées, au moins une partie de l'épaisseur de la plaquette, qui s'étend à partir de ladite première surface du semiconducteur, comportant une couche de type N relativement légèrement dopée (218) pour recevoir des jonctions, au moins une partie de l'épaisseur de ladite plaquette qui s'étend à partir de ladite deuxième surface du
10 semiconducteur comportant une couche de type P relativement fortement dopée (216) ;

une base de type P (221) formée dans ladite couche de type N relativement légèrement dopée déposée épitaxialement et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une première profondeur au-
15 dessous de ladite première surface du semiconducteur ;

une région d'émetteur de type N (222) formée dans ladite base de type P et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une deuxième profondeur, au-dessous de ladite surface du semiconducteur, qui est plus faible que ladite première profondeur afin de créer une jonction émetteur de
20 type N/base de type P, ladite région d'émetteur de type N étant radialement espacée vers l'intérieur le long de ladite première surface du semiconducteur le long d'un bord de ladite base de type P, de sorte que ledit bord de ladite base de type P s'étend jusqu'à ladite première surface du semiconducteur, définissant ainsi une première région de canal le long dudit bord ;

25 une première et une deuxième régions de type P (226, 219) formées dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface de ladite plaquette, lesdites première et deuxième régions de type P étant latéralement espacées l'une de l'autre et ladite seconde région de type P étant latéralement espacée de ladite base de type P, de manière à former
30 respectivement, une deuxième et une troisième régions de canal (230, 231) dans ladite couche épitaxiale de type N relativement légèrement dopée ; une barrette en métal (224) étant disposée sur ladite première surface du semiconducteur et connectant ladite région d'émetteur de type N à ladite seconde région de type P ;

une première couche d'isolation de grille sur ladite première surface du
35 semiconducteur, disposée au moins sur ladite deuxième région de canal ;

une première électrode de grille (238) sur ladite première couche d'isolation de grille et recouvrant ladite deuxième région de canal ;

une deuxième couche d'isolation de grille sur ladite première surface du semiconducteur, disposée au moins sur lesdites première et troisième régions de canal ;

une deuxième électrode de grille (240) placée sur ladite deuxième couche d'isolation de grille et au-dessus desdites première et troisième régions de canal ;

une électrode d'anode (212) connectée à ladite couche de type P disposée sur ladite deuxième surface semiconductrice ; et

une électrode de cathode (234) connectée auxdites première et deuxième régions de type P sur ladite première surface du semiconducteur.

4. Thyristor à commande par MOS suivant la revendication 3, caractérisé en ce que ladite deuxième électrode de grille (241) est électriquement flottante ou absente.

5. Thyristor à commande par MOS suivant l'une des revendications 2 ou 3, caractérisé en ce qu'il comprend en outre une région de type P relativement légèrement dopée disposée dans ladite deuxième région de canal entre lesdites première (226) et deuxième (228) régions de type P pour former un MOSFET à canal p à appauvrissement.

6. Thyristor à commande par MOS (310), caractérisé en ce qu'il comprend :
une plaquette de matériau semiconducteur présentant une première et une deuxième surfaces planes parallèles, espacées, au moins une partie de l'épaisseur de ladite plaquette, qui s'étend à partir de ladite première surface du semiconducteur, comportant une couche de type N relativement légèrement dopée (318) pour recevoir des jonctions, au moins une partie de l'épaisseur de ladite plaquette qui s'étend à partir de ladite deuxième surface du semiconducteur comportant une couche de type P fortement dopée (316) ;

un puits de type P (320) formé dans ladite couche de type N relativement légèrement dopée et épitaxialement déposée, et s'étendant de ladite première surface du semiconducteur jusqu'à une première profondeur au-dessous de ladite première surface du semiconducteur ;

un puits de type N (322) formé dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une deuxième profondeur au-dessous de ladite première surface du semiconducteur, qui est plus faible que ladite première profondeur,

ledit puits de type N étant radialement espacé vers l'intérieur le long de ladite première surface du semiconducteur par rapport à un bord dudit puits de type P, de manière à définir une première région de canal (328), ladite première région de canal étant disposée dans ledit puits de type P près de ladite première surface du semiconducteur ;

5 une base de type P (324) formée dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une troisième profondeur au-dessous de ladite surface du semiconducteur qui est plus faible que ladite deuxième profondeur, ladite
10 base de type P étant radialement espacée vers l'intérieur le long de ladite première surface du semiconducteur par rapport à un bord dudit puits de type N, définissant ainsi une deuxième région de canal (330), ladite deuxième région de canal étant disposée dans ledit puits de type N près de ladite première surface du semiconducteur ;

15 une région de source de type N (323) formée dans ladite base de type P et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une quatrième profondeur au-dessous de ladite surface du semiconducteur qui est plus faible que ladite troisième profondeur afin de créer une jonction source de type N/base de type P, ladite région de source de type N étant radialement
20 espacée vers l'intérieur le long de ladite première surface du semiconducteur par rapport à un bord de ladite base de type P, définissant ainsi une troisième région de canal (332), ladite troisième région de canal étant disposée dans ladite base de type P près de ladite première surface du semiconducteur ;

 une région de type P (326) formée dans ladite couche de type N
25 relativement légèrement dopée et s'étendant à partir de ladite première surface de ladite plaquette, ladite région de type P étant latéralement espacée dudit bord dudit puits de type P de manière à définir une quatrième région de canal (336), ladite quatrième région de canal étant disposée dans ladite couche épitaxiale de type N relativement légèrement dopée, entre ladite région de type P et ledit puits
30 de type P, près de ladite première surface du semiconducteur ;

 une couche d'isolation de grille sur ladite première surface du semiconducteur, disposée au moins sur lesdites première, deuxième, troisième et quatrième régions de canal ;

une électrode de grille (338) placée sur ladite couche d'isolation de grille et au-dessus desdites première, deuxième, troisième et quatrième régions de canal ;

5 une électrode d'anode (312) connectée à ladite couche de type P, disposée sur ladite deuxième surface du semiconducteur ; et

une électrode de cathode (334) connectée à ladite base de type P, audit émetteur de type N et à ladite région de type P sur ladite première surface du semiconducteur.

7. Thyristor à commande par MOS suivant la revendication 6, caractérisé en ce que ledit puits de type P (320) et ladite première région de type P (326) constituent chacun des cellules, lesdites cellules étant disposées côte à côte en un agencement symétrique.

8. Thyristor à commande par MOS (410), caractérisé en ce qu'il comprend :
15 une plaquette de matériau semiconducteur présentant une première et une deuxième surfaces planes parallèles espacées, au moins une partie de l'épaisseur de ladite plaquette, qui s'étend à partir de ladite première surface du semiconducteur, comportant une couche de type N relativement légèrement dopée (418) pour recevoir des jonctions, au moins une partie de l'épaisseur de ladite plaquette qui s'étend à partir de ladite deuxième surface du
20 semiconducteur comportant une couche de type P fortement dopée (416) ;

un puits de type P (420) formé dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une première profondeur au-dessous de ladite première surface du semiconducteur ;

25 un puits de type N (422) formé dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une deuxième profondeur au-dessous de ladite première surface du semiconducteur qui est plus faible que ladite première profondeur, ledit puits de type N étant radialement espacé vers l'intérieur le long de ladite
30 première surface du semiconducteur, par rapport à un bord dudit puits de type P ;

une base de type P (424) formée dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une troisième profondeur au-dessous de ladite surface
35 du semiconducteur qui est plus faible que ladite deuxième profondeur, ladite

base de type P étant radialement espacée vers l'intérieur le long de ladite première surface du semiconducteur, par rapport à un bord dudit puits de type N;

5 une région de source de type N (423) formée dans ladite base de type P et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une quatrième profondeur au-dessous de ladite surface du semiconducteur qui est plus faible que ladite troisième profondeur, afin de créer une jonction source de type N/base de type P, ladite région de source de type N étant radialement
10 espacée vers l'intérieur le long de ladite première surface du semiconducteur par rapport à un bord de ladite base de type P, définissant ainsi une première région de canal (432), ladite première région de canal étant disposée dans ladite base de type P, près de ladite première surface du semiconducteur ;

une région d'émetteur de type N (444) formée dans ledit puits de type P et s'étendant à partir de ladite première surface du semiconducteur jusqu'à une
15 cinquième profondeur au-dessous de ladite surface du semiconducteur qui est plus faible que ladite première profondeur, ladite région d'émetteur de type N étant radialement espacée vers l'intérieur le long de ladite première surface du semiconducteur par rapport aux bords dudit puits de type P, définissant ainsi une deuxième région de canal (428), ladite deuxième région de canal étant disposée
20 dans ledit puits de type P, près de ladite première surface du semiconducteur ;

une région de type P (426) formée dans ladite couche de type N relativement légèrement dopée et s'étendant à partir de ladite première surface de ladite plaquette, ladite région de type P étant latéralement espacée dudit bord dudit puits de type P de manière à définir une troisième région de canal (436),
25 ladite troisième région de canal étant disposée dans ladite couche épitaxiale de type N relativement légèrement dopée, entre ladite région de type P et ledit puits de type P, près de ladite première surface du semiconducteur ;

une couche d'isolation de grille sur ladite première surface du semiconducteur, disposée au moins sur lesdites première, deuxième et troisième
30 régions de canal ;

une électrode de grille (438) placée sur ladite couche d'isolation de grille et au-dessus desdites première, deuxième et troisième régions de canal ;

une électrode d'anode (412) connectée à ladite couche de type P disposée sur ladite deuxième surface du semiconducteur ; et

une électrode de cathode (434) connectée à ladite base de type P, à ladite source de type N et à ladite région de type P sur ladite première surface du semiconducteur.

- 9 Thyristor à commande par MOS suivant la revendication 8, caractérisé en ce que ledit puits de type P (420), ledit puits de type N (422), ladite base de type P (424) et ladite source de type N (423) constituent ensemble une première cellule, ledit émetteur de type N (444) disposé dans ledit puits de type P constitue une deuxième cellule, et ladite région de type P (426) constitue une troisième cellule, lesdites cellules étant disposées côte à côte en un ensemble symétrique.
- 10
10. Thyristor à commande par MOS suivant l'une des revendications 7 ou 9, caractérisé en ce que lesdites cellules ont une forme polygonale.
11. Thyristor à commande par MOS suivant l'une des revendications 7 ou 9, caractérisé en ce que lesdites cellules sont agencées en un ensemble comprenant une pluralité de cellules polygonales disposées symétriquement et connectées en parallèle, et en ce que ladite électrode comprend un quadrillage (438) qui est superposé audit ensemble.
- 15

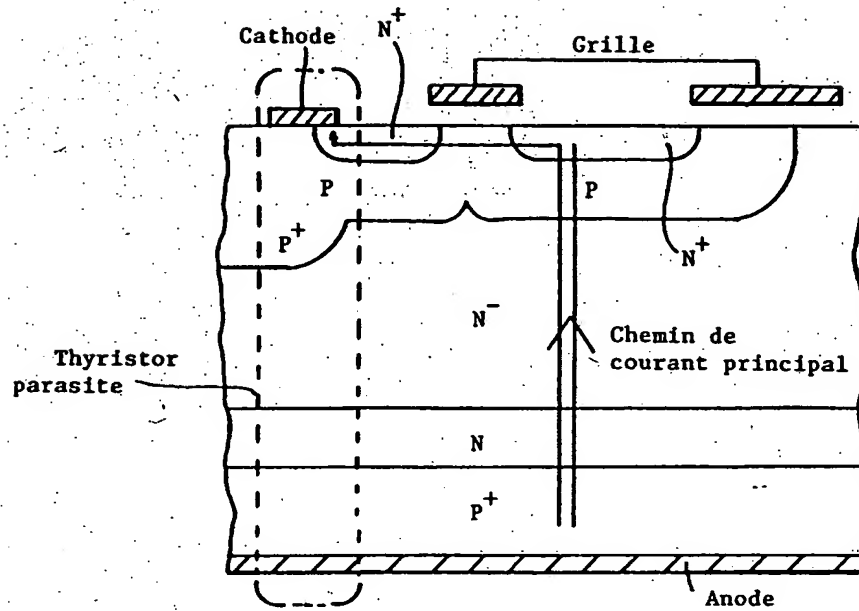
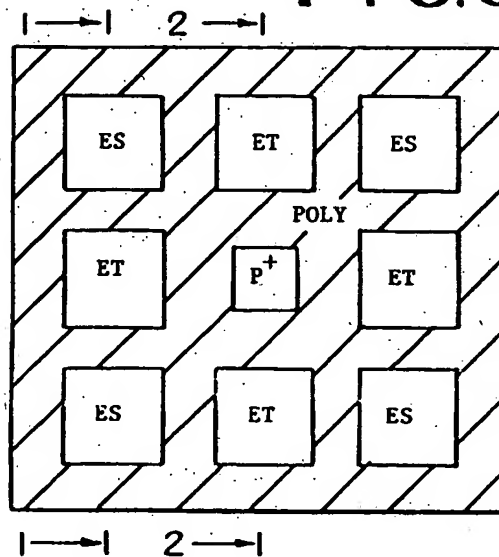
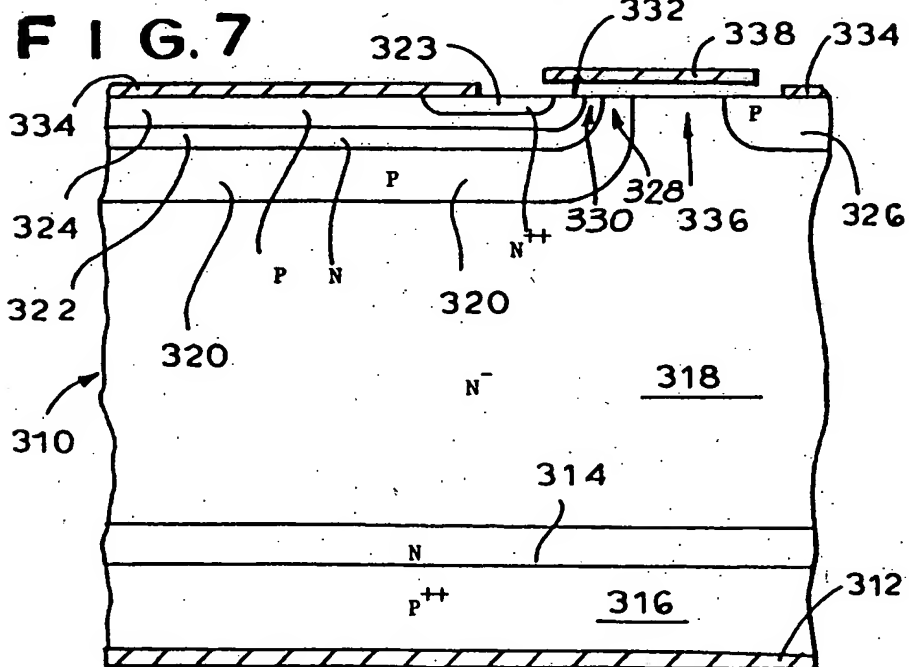
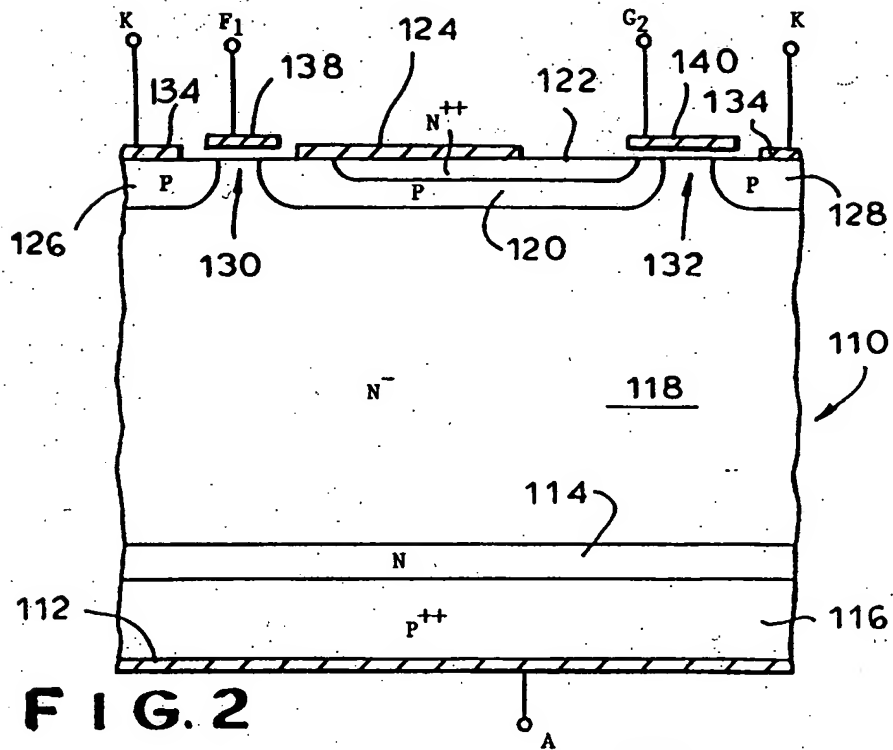


FIG. 1 (ART ANTERIEUR)

FIG. 9B





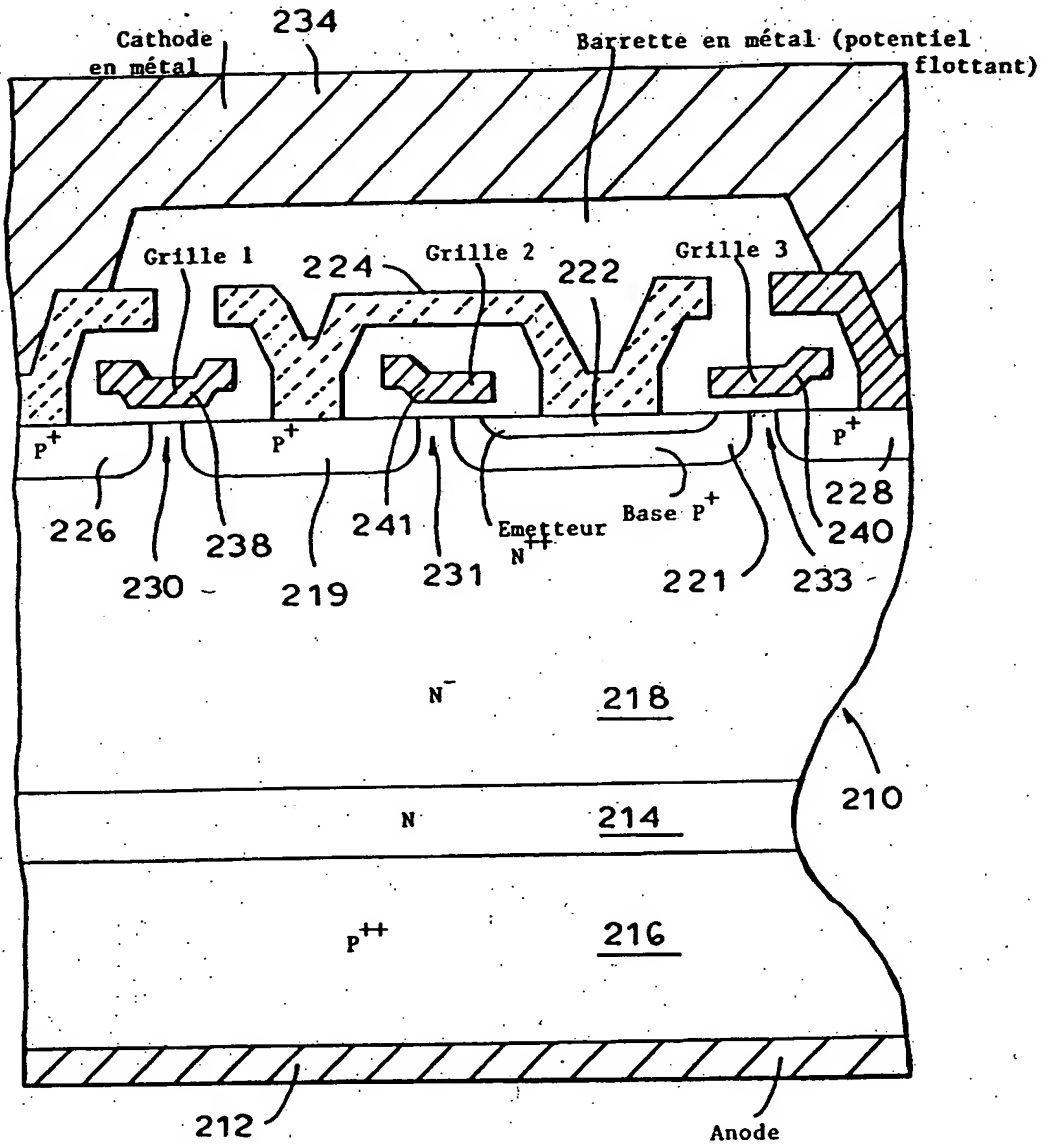
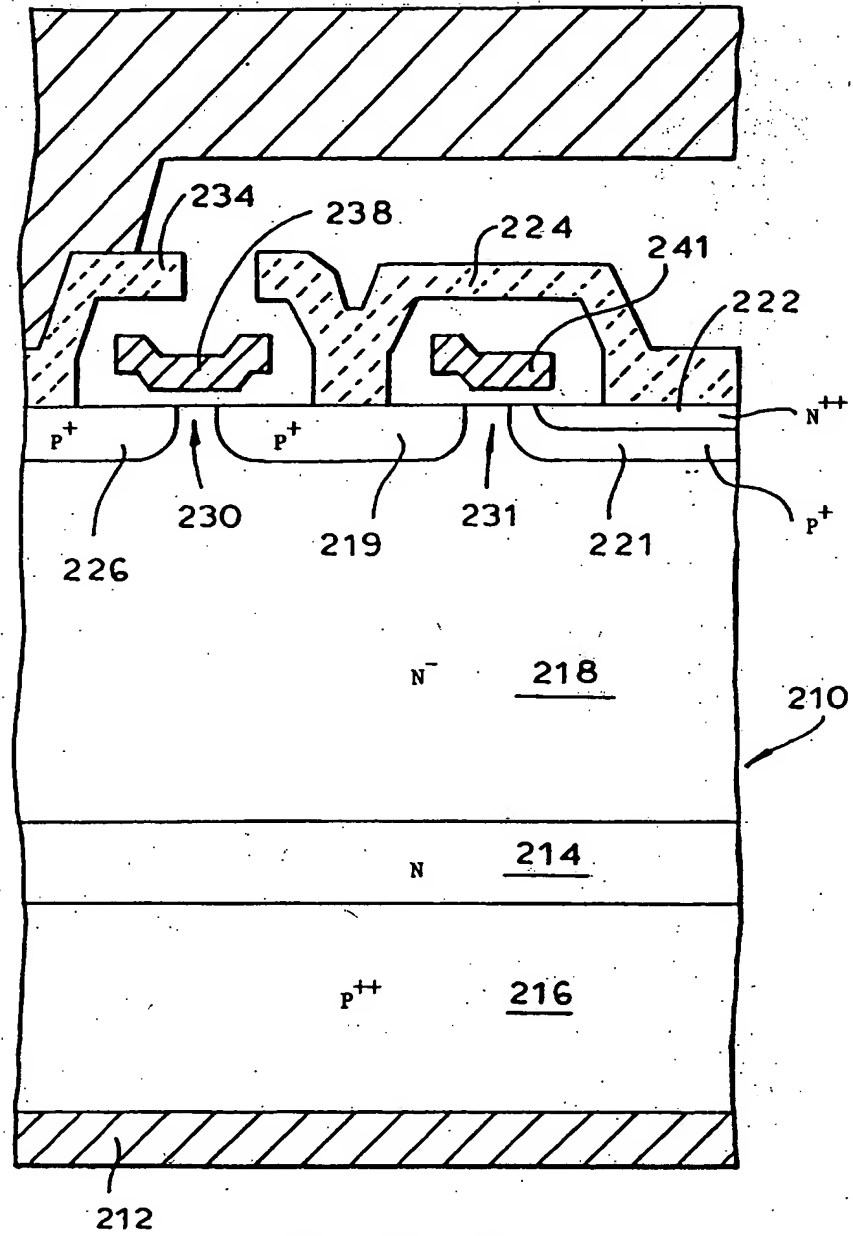


FIG. 3

**FIG. 4**

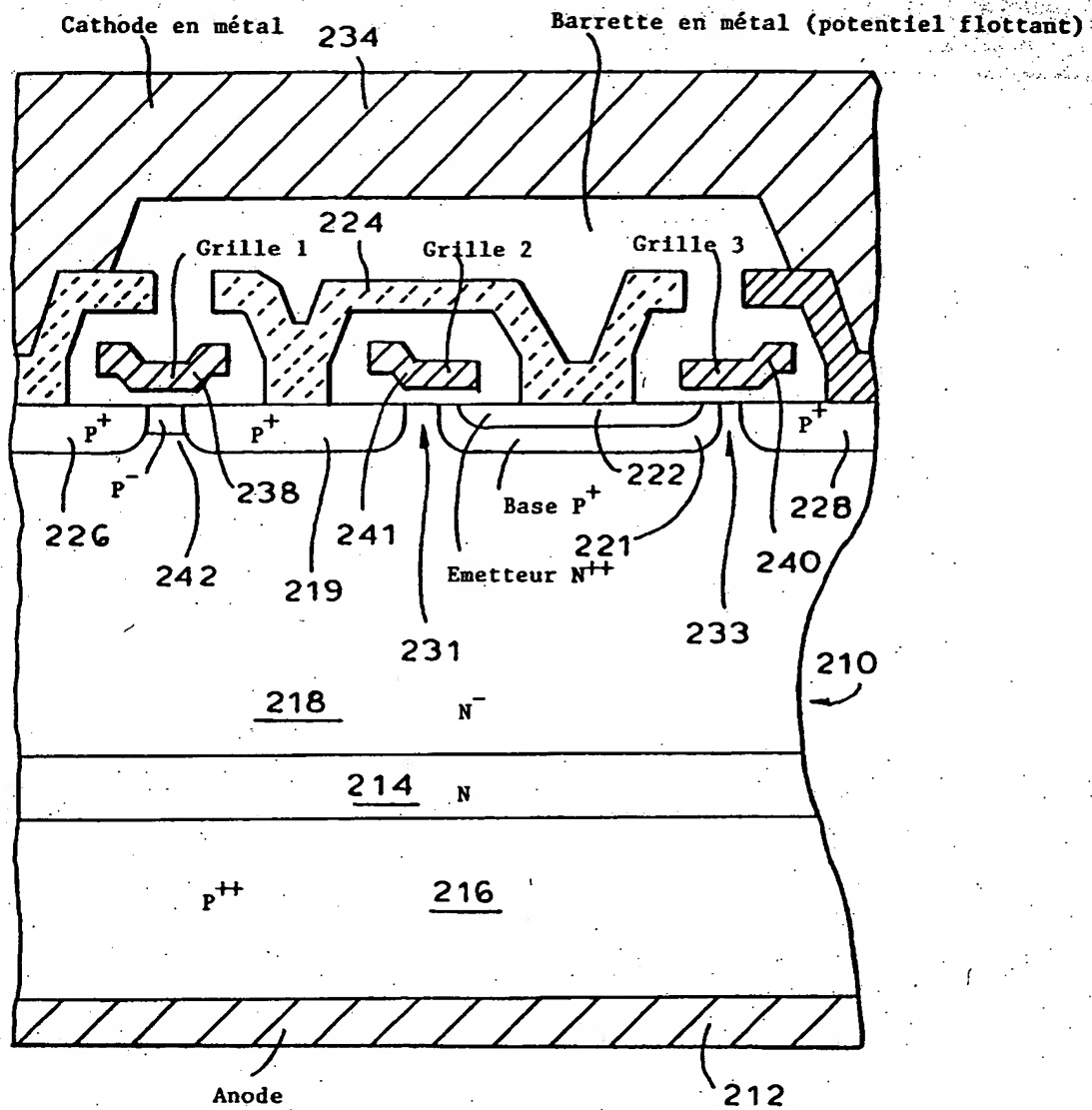
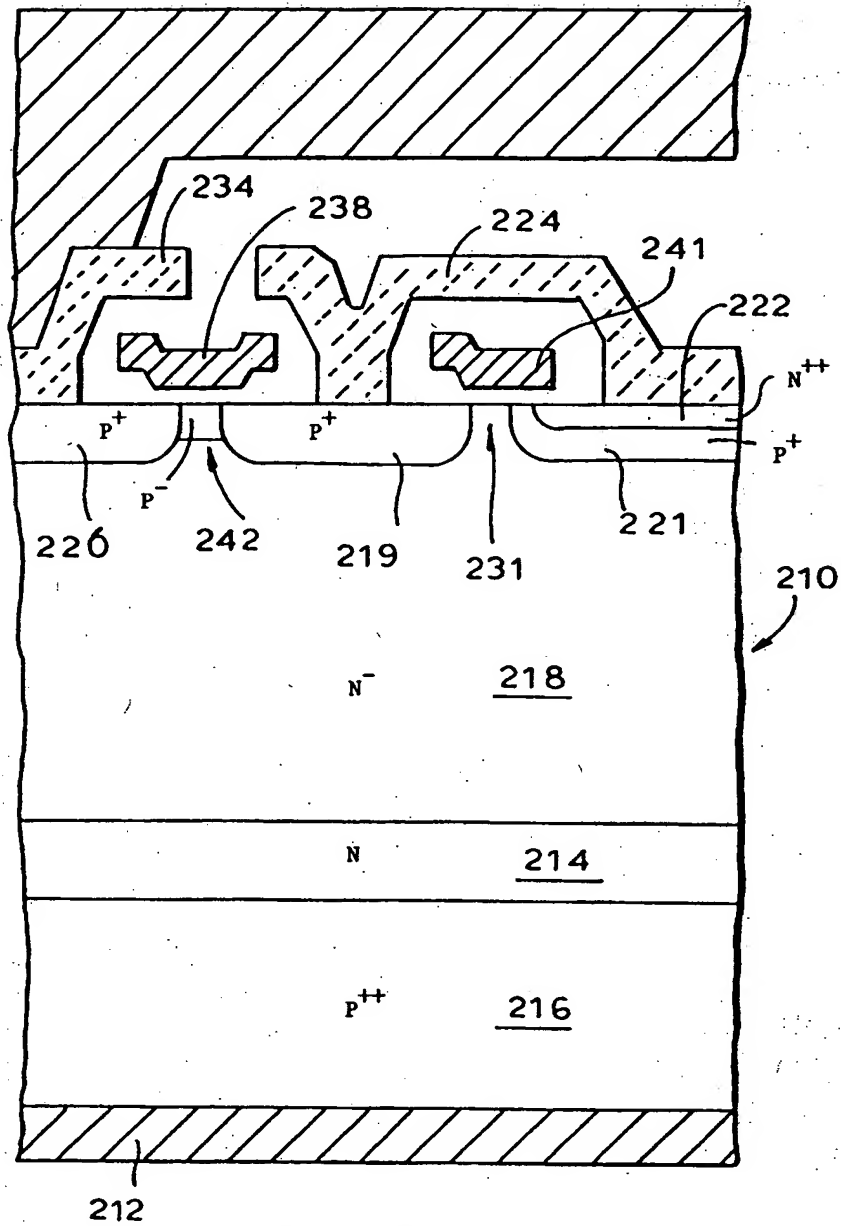
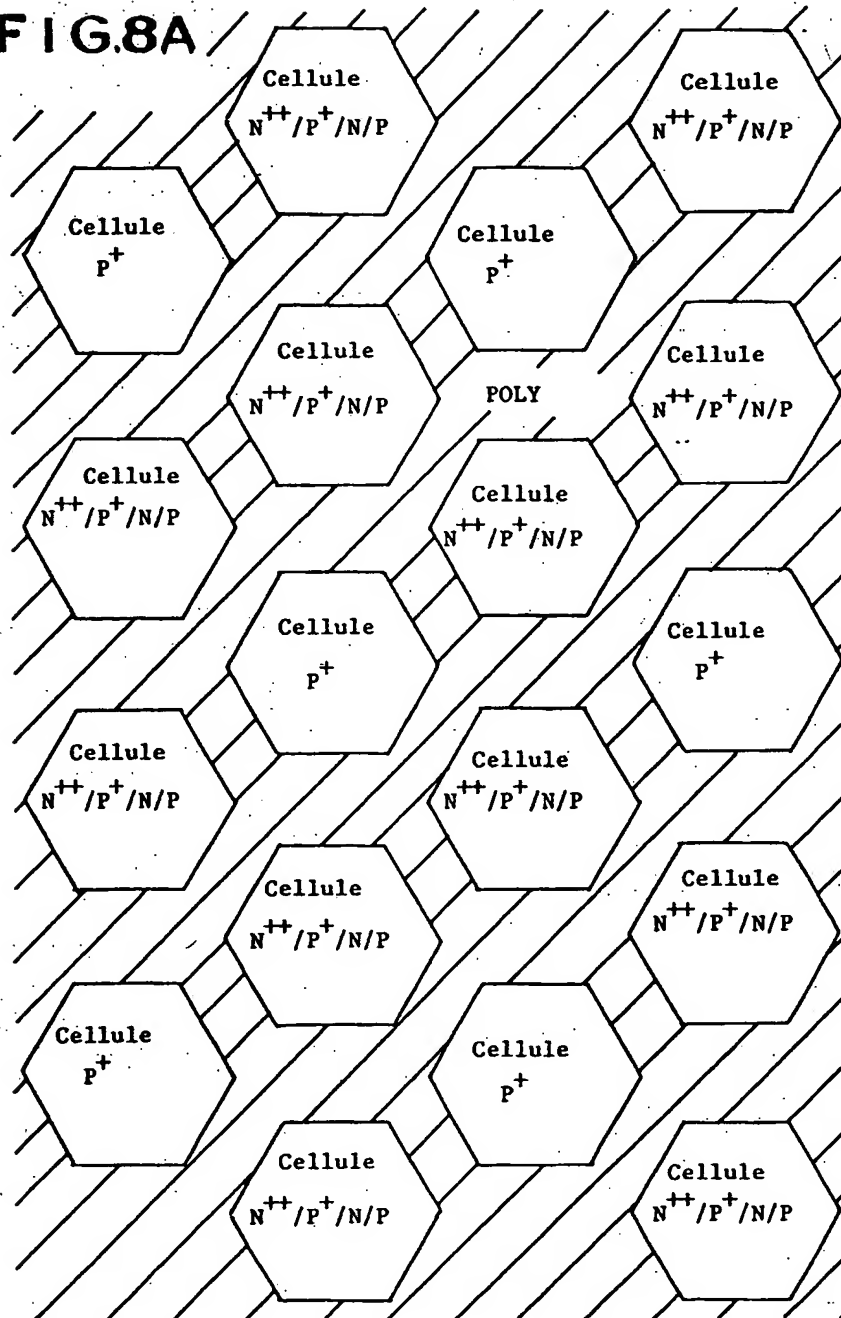


FIG. 5

**FIG. 6**

7/11

FIG.8A

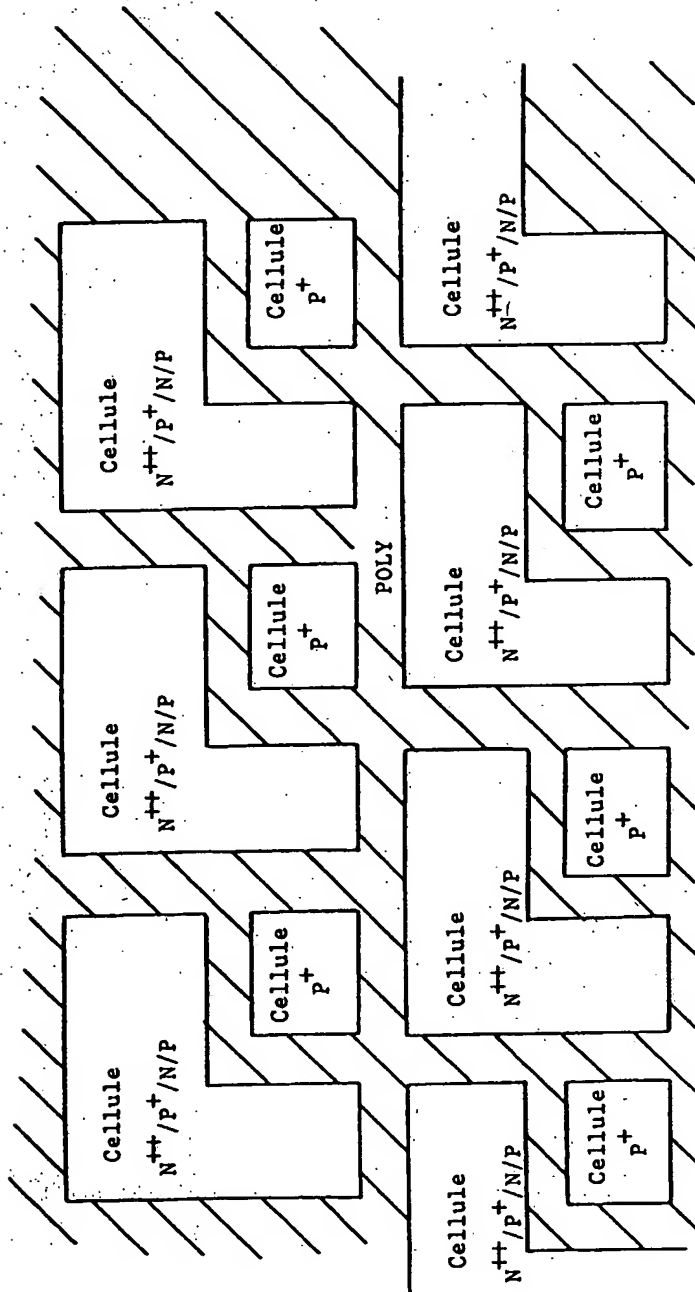
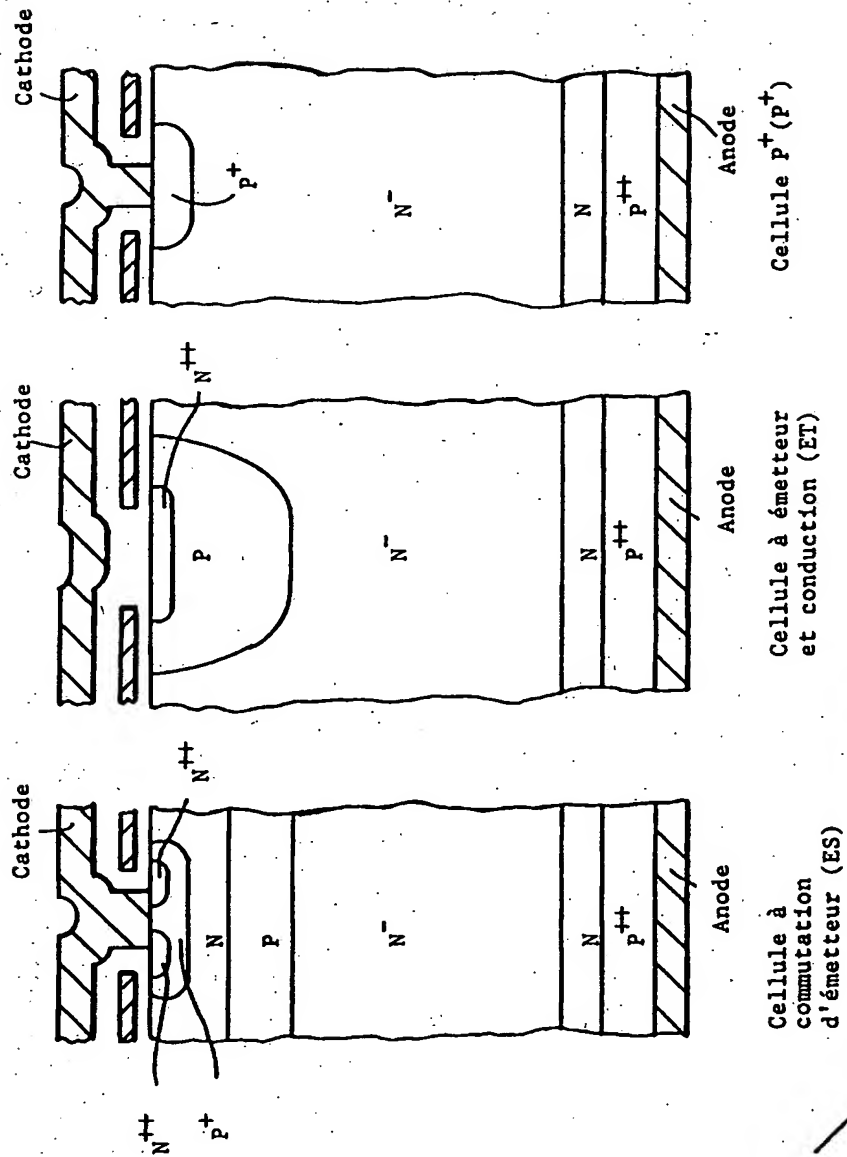
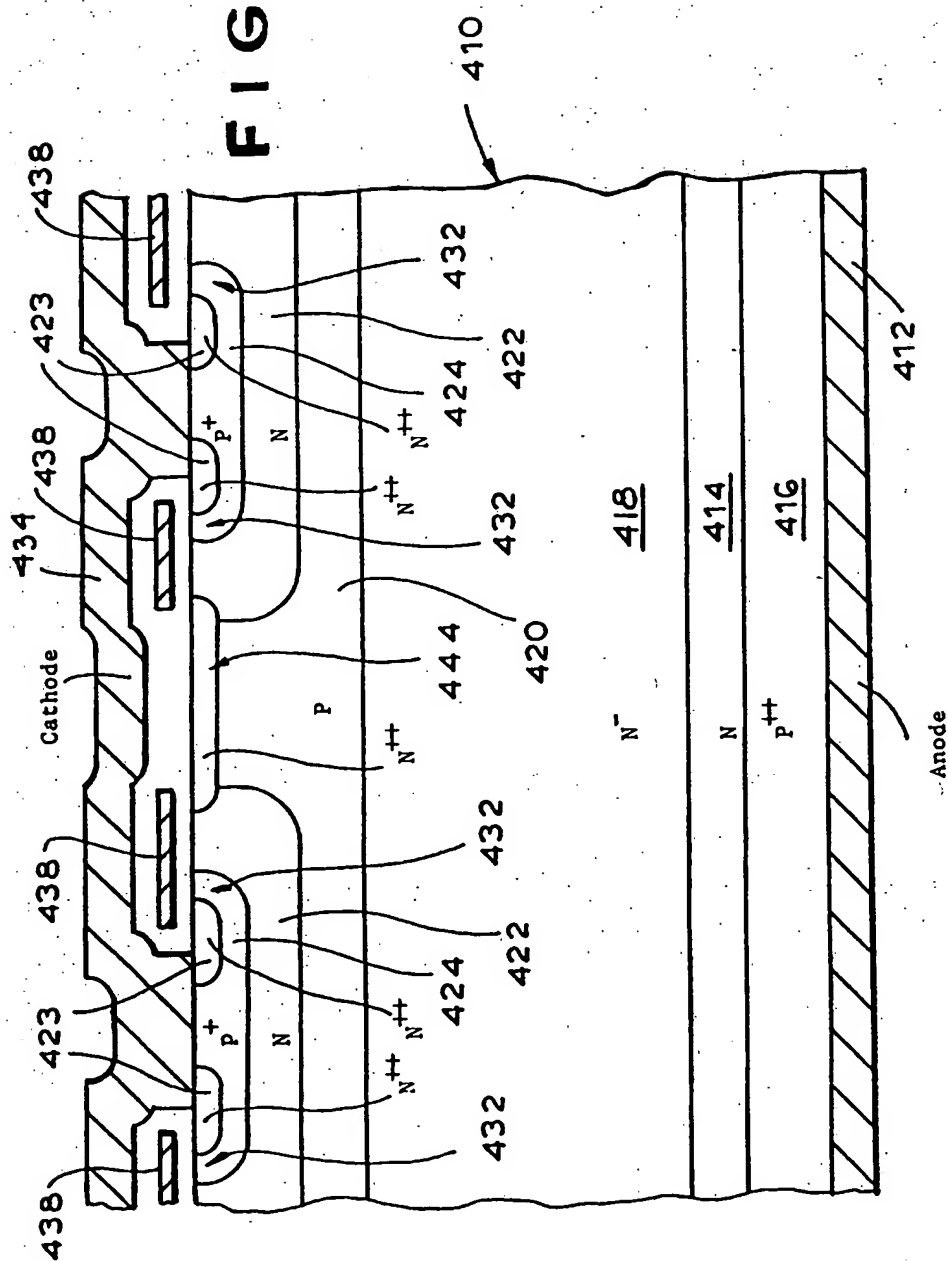


FIG. 8B

**FIG. 9A**

FEIGEN



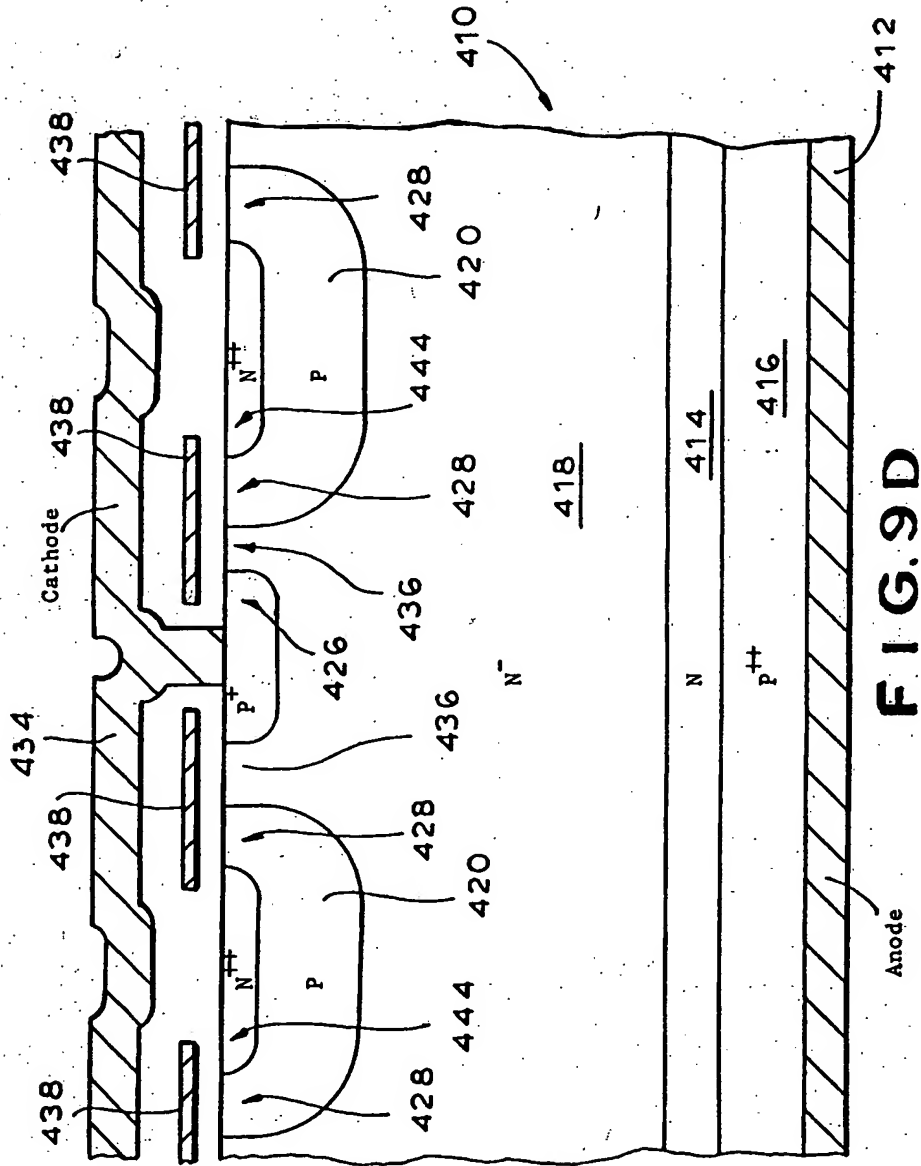


FIG. 9D